

# 高速桶式移位器的设计研究

宣传忠 周林杰 贾 嵩

(北京大学 微电子学研究院, 北京 100871)

**摘要:** 文章基于传统的部分译码桶式移位器, 对其关键路径进行了改进, 根据移位的特点, 引进了一种逆序变换方法以达到数据路径与控制路径的平衡, 并据此提出了一种折叠式的电路结构以减少连线延迟和面积, 改进后 BS 的关键路径由一级三输入与非门和一级缓冲器组成, 实现高速桶式移位器设计。用 SMIC 0.13 $\mu\text{m}$ /1.2V 工艺仿真结果显示新结构的桶式移位器的关键路径延迟为 0.5ns, 比传统结构延迟时间缩短了 38%。

**关键词:** 桶式移位器, 路径平衡, 逆序变换, 折叠式结构

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2007)01-0042-03

## Design of a High-speed Barrel Shifter

XUAN Chuan-zhong, ZHOU Lin-jie, JIA Song

(Institute of Microelectronics, Peking University, Beijing 100871)

**Abstract:** Compared with the traditional barrel shifter, this paper focuses on how to reduce the critical path length so that the high-speed of BS can be reached. Through introducing a converse transform circuit, the data path between input data signal and control signal has been balanced. In order to reduce the length of wiring, the Fold Structure is used in the shift array circuit design.

**Key words:** Barrel shifter, Path balance, Converse transform, Foldaway structure

### 1 引言

在现代高速 RISC 微处理器芯片中, 为了使各种位数的移位操作都能在一个周期内完成, 普遍使用了桶式移位器 BS (Barrel Shifter)。桶式移位器可以完成定点操作中的移位指令, 实现存取操作时数据的对准。此外, 浮点运算中尾数对准和规格化处理等所需的移位操作也可以由它完成, 它是现代高速 RISC 微处理器芯片中的核心部件。桶式移位器还在数字信号处理、移动通讯等领域得到了广泛的应用。正因为桶式移位器处于算术运算部件的关键路径上, 大量的研究工作都针对如何提高它的速度而进行。当可移动电脑和移动通讯设备出现后, 芯片的功耗问题也成为桶式移位器设计考虑的问题。

由于 BS 要实现具体的逻辑移位操作, 构成 BS 需要移位阵列和外围控制电路的相互配合。如果仅考虑移位阵列而忽视外围控制电路的设计优化, 则外围控制电路的延时、面积有可能影响整个 BS 性能的提高。所以, 必须以全局、整体的眼光来考察 BS 的设计结构使移位阵列的移位速度和外围控制电路的复杂性达到最佳的平衡点。本文在部分译码方

式的基础上首先给出传统的外围控制电路实现方案, 分析其速度、功耗和面积, 然后针对这一方案的不足提出一种改进设计方案, 进一步提高移位运算速度, 缩小 BS 电路的规模以减小面积和降低功耗。

### 2 传统的基于部分译码方式的 BS 的设计

针对 BS 控制方式的不同, 可以将其分为多种类型: 全译码方式、全编码方式、部分译码方式和基于三值逻辑控制的方式等。部分译码方式折衷了全译码方式和全编码方式 BS 的特点, 其面积小于全译码方式的 BS, 速度高于全编码方式。其综合性能是最好的, 是一个最优的选择。

如图 1 所示, 传统的基于部分译码方式的 BS 的逻辑左移通过逻辑右移来完成。左移  $i$  位相当于右移  $32-i$  位。in2 输入端口输入 32 位移位数据, in1 输入端口输入数据 0, 左移  $i$  位亦即将 in1 输入端口的数据 0 右移  $32-i$  位, 用二进制表示:  $32-i = (\overline{b_4} \overline{b_3} \overline{b_2} \overline{b_1} \overline{b_0})_{2^{+1}}$ , 即  $32-i$  的二进制表示为  $i$  二进制表示的补码。第一移位阵列的控制信号由 3-8 译码器产生, 第二移位阵列的控制信号由 2-4 译码器产生。 $(b_4 b_3 b_2 b_1 b_0)_2$  求其补码的电路可分为两部分。第一部分求  $(b_4 b_3 b_2 b_1 b_0)_2$  的反码  $(\overline{b_4} \overline{b_3} \overline{b_2} \overline{b_1} \overline{b_0})_2$  (由反相

收稿日期: 2005-11-23

器阵列构成), 第二部分对  $(\bar{b}_4 \bar{b}_3 \bar{b}_2 \bar{b}_1 \bar{b}_0)_2$  加一得  $(b_4 b_3 b_2 b_1 b_0)_2$  的补码, 实现这一逻辑需要 5 位的 increment/decrement 电路。

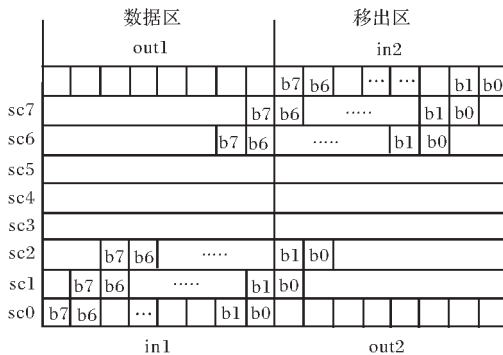


图1 部分译码方式BS示意图

移位阵列的移位控制信号由以下方式产生: 右移时, 直接对输入的移位位数二进制代码分两部分经 2-4 译码器和 3-8 译码器译码得到; 左移时, 二进制代码需经过一级反相器求反, 然后再经过一个加一电路得到补码后传递给 2-4/3-8 译码器得所需的移位控制信号, 译码器的输入端需增加一级二选一数据选择器, 对移位位数及其补码进行选择。这样, 外围控制电路(移位阵列控制信号生成电路)经过的关键路径如图 2 所示。

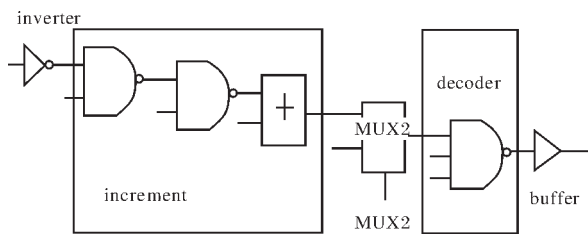


图2 移位控制电路关键路径示意图

原移位阵列中数据输入端的逻辑电路并不复杂, 而移位控制电路却相当复杂, 这就造成了两者的路径不平衡, 移位控制电路的延时过长成为整个 BS 速度进一步提高的瓶颈, 如何简化移位控制电路, 缩短其延时成为设计高速 BS 的关键。

### 3 改进的基于部分译码方式的 BS 的设计

移位控制电路过于复杂是速度不能提高的关键, 而移位控制电路复杂是因为在实现左移时要对移位位数求补码。第一移位阵列的传输门的输入端是 BS 的数据输入端 in1/in2, in1/in2 的产生逻辑并不复杂, 延时较小, 而传输门控制端连接的是移位控制电路, 延时远大于输入端的延时, 这就造成了两者路径不平衡。改进的基于部分译码方式的 BS 的最主要的目标就是在传统的结构上做出调整,

解决移位控制电路延时过长和传输门的输入和控制信号不平衡这两个问题。

与传统的 BS 移位阵列的移位原理不同, 图 3 为改进的基于部分译码方式移位原理图, BS 数据左移  $i$  位, in1 输入端口输入逆序排列的数据, in2 输入端口输入 0, 原数据左移  $i$  位即为逆序数据右移  $i$  位。左移  $i$  位转化为右移  $i$  位后, 不需要对  $i$  求补码即可完成左移  $i$  位。此时, in1 输入端口输入的数据按逆序排列, 即高位在右端, 低位在左端, 与原始的输入数据不符, 需要在两者之间增加一转换电路(逆序转换电路)。

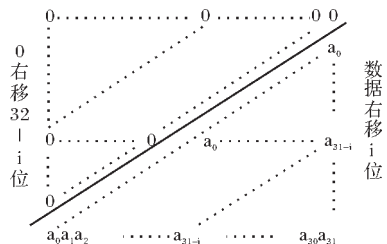


图3 数据移位原理图

这个过程中用到两次逆序变换, 逆序变换电路可以用传输门电路实现。但由于逆序转换电路的连线较为复杂, 对于 32 位数据输入, 需要 32 条水平连线, 这就大大的增加了连线占用的面积。在集成电路工艺进入深亚微米时, 连线的寄生电容和电阻对速度和性能有很大的影响, 所以在设计中可采用折叠式结构, 如图 4 所示。

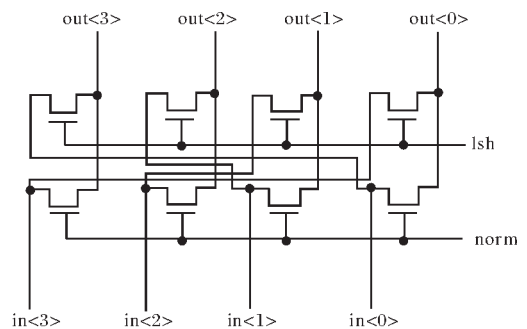


图4 折叠式结构的4位逆序变换电路

改进后 BS 的移位控制电路的关键路径只是由一级三输入与非门和一级缓冲器组成, 如图 5 所示, 速度因而也可以相应提高。

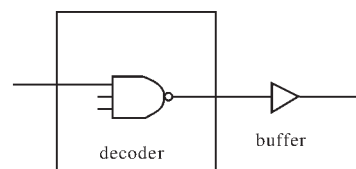


图5 改进后移位控制电路的关键路径图

根据改进的基于部分译码方式的桶式移位器结构,得到的总体结构框图如图6所示。3-8译码器输出接移位控制信号线  $sc_0, sc_4, sc_8, sc_{12}, sc_{16}, sc_{20}, sc_{24}, sc_{28}$ ; 2-4译码器接移位控制信号线  $sc'_0, sc'_1, sc'_2, sc'_3$ ; 其它模块的控制信号均由对应的控制模块产生。

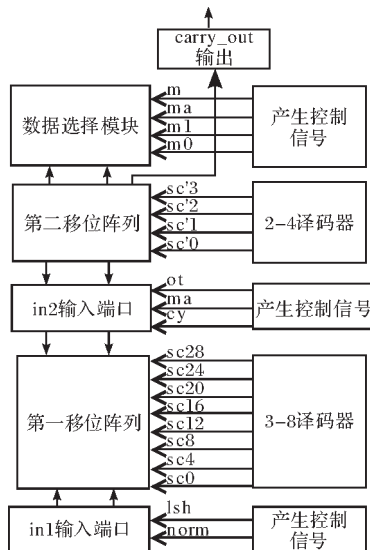


图6 改进后BS总体结构框图

#### 4 电路仿真结果

我们对改进结构的桶式移位器用 SMIC 0.13 $\mu\text{m}$ /1.2V 工艺进行 HSpice 电路仿真。实际测试选用的是选取一组有代表性的测试向量,对 BS 进行不完全测试,测试向量的选取应照顾到所有可能的情况,特别是对于移 0 位、32 位,以及进位输出信号的测试。采用 verilog 编写的测试模块与原 BS 的 schematic 电路进行混合仿真。这样,由数字信号的输入和输出,很容易看出输入和输出之间的关系是否满足原有设计要求,正确实现 BS 的所有移位操作。

最坏情况下,从输入到输出的关键路径的延时是 0.5ns 左右。其中各模块的延时分别为:移位控制逻辑电路 0.3ns(译码器 0.15ns,缓冲器 0.15ns),移位阵列 0.1ns,数据选择模块 0.1ns。如果使用传统的基于部分译码方式的结构,则总的延迟时间为 0.8ns 左右,可见,改进后的 BS 的延迟时间缩短了 38%,速度大大的提高了。总功耗:500MHz 下为 1.18mw,与传统方式实现的 BS 的 1.58mw 相比,功耗降低了 25%。使用的晶体管数目为:1087 个(其中 pmos207 个, nmos880 个),与传统方式实现所用的 1265 个

mos 管相比,减少了 15%。

#### 5 结束语

本文提出一种改进部分译码方式桶式移位器结构,缩短了传统结构 BS 的关键路径。在 BS 移位阵列主体部分,通过数据输入方式的调整,避免了因为左移而要在移位控制电路部分引入求移位控制码的补码的电路,降低外围控制电路的复杂性,减少了实现 BS 所用的晶体管数目,降低了 BS 的总体功耗。这种调整需要在移位阵列的输入和输出部分增加一逆序变换电路,以实现输入、输出数据的高低位变换。由于 32 位 BS 的逆序变换电路中的连线较复杂,不利于版图的实现,所以,整个移位阵列均采用折叠式结构,减小了因为连线过长造成的性能的退化。

#### 参考文献:

- [1] 胡剑,沈绪榜.部分译码方式的桶式移位器及其 VHDL 实现[J].微电子学与计算机,2003,2:34-39
- [2] Jan M Rabaey. Digital integrated circuits: a design perspective. Prentice-Hall Inc., 1996
- [3] Acken K P, Irwin M J, Owens R M. Power comparisons for barrel shifters. Low Power Electronics and Design, 1996., International Symposium on, 1996: 209-212
- [4] G M Tharakan, S M Kang. A new design of a fast barrel switch network [J], IEEE Journal of solid-state circuits, 1992, 27(2): 217-221
- [5] Chung Hsun Huang, Jinn Shyan Wang. Priority encoders and incrementer /decrementers using multilevel lookahead and multilevel folding techniques [J]. IEEE Journal of solid-state circuits, 2002, 37(1)
- [6] Jinn Shyan Wang, Chung Hsun Huang. High-speed and low-power cmos priority encoder [J]. IEEE Journal of solid-state circuits, Oct. 2000, 35(10): 1511-1544
- [7] Optimizing a high performance 32 bit processor for programmable logic Metzgen. System-on-Chip, 2004. Proceedings. International Symposium, 2004, 13

#### 作者简介:

宣传忠 男,(1977-),硕士研究生。研究方向为 ASIC 电路设计。

周林杰 男,硕士研究生。研究方向为 ASIC 电路设计。

贾嵩 男,副教授。研究方向为嵌入式微处理器的体系结构和芯片设计、IP 建库及标准单元库的设计。